

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-226499

(43)Date of publication of application : 22.08.1995

(51)Int.Cl.

H01L 29/78

H01L 21/336

(21)Application number : 05-289818

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 27.10.1993

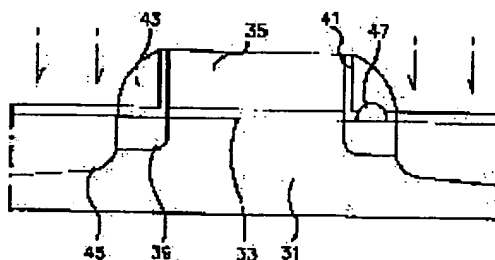
(72)Inventor : HWANG HYUN-SANG

(54) MANUFACTURE OF MOS TRANSISTOR

(57)Abstract:

PURPOSE: To simplify the process of manufacturing a MOS transistor in comparison with a prior art by a method wherein an oxide film and a polysilicon film are deposited on a 1st conductivity type semiconductor substrate, patterned to form a gate insulating film and a gate and subjected to one annealing process in an N₂O atmosphere to form an RNO film over the whole surface of the substrate.

CONSTITUTION: A gate oxide film 33 and a gate 35 are formed on a p-type semiconductor substrate 31. An RNO film formed by an annealing treatment in an N₂O atmosphere in a 1st step process. At this point, if the RNO film is formed by RTP, the substrate 31 is subjected to an annealing treatment under a temperature range of 850-1100° C for several seconds-several minutes. After the RNO film is formed, lightly doped source/drain regions 39 are formed, an oxide film is deposited over the whole surface of the substrate, RNO side walls 41 and spacers 43 are respectively formed by anisotropic etching and, finally, heavily doped source/drain regions 45 are formed. Thus, a re-oxidation treatment which is performed in three step processes with a prior art is performed in one step, so that the manufacturing process can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-226499

(43)公開日 平成7年(1995)8月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336		7514-4M	H 0 1 L 29/ 78	3 0 1 L

審査請求 未請求 請求項の数3 F D (全 5 頁)

(21)出願番号 特願平5-289818

(22)出願日 平成5年(1993)10月27日

(71)出願人 591044131

エルジイ・セミコン・カンパニー・リミテ
ッド

GOLD STAR ELECTRON
COMPANY LIMITED

大韓民国 チュングチェオンブグード チ
ェオンジューシ ヒャンギエオンードン
50

(72)発明者 ヒョン・サン・ヘン

大韓民国・ソウルーシ・ソチョーグ・ヤン
ゼ2ードン 275-4・ツイン タワー
ビー-302

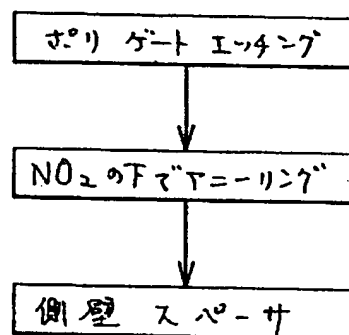
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 MOSトランジスタの製造方法

(57)【要約】

【目的】 従来より工程の単純化されたLDD MOSトランジスタの製造方法を提供すること。

【構成】 第1導電型の半導体基板(31)上に酸化膜とポリシリコン膜を蒸着しパターニングしてゲート絶縁膜(33)およびゲート(35)を形成するステップと、N₂O 雰囲気下において1回のアニーリング工程を施してRNO膜(37)を基板全面に形成するステップと、ゲート(35)をマスクとして第2導電型の不純物をイオン注入して低濃度のソース/ドレイン領域(39)を形成するステップと、基板全面に酸化膜を蒸着し異方性エッチングしてRNO側壁(41)とスペーサ(43)を形成するステップと、スペーサ(43)およびゲート(35)をマスクとして第2導電型の不純物をイオン注入して高濃度のソース/ドレイン領域(45)を形成するステップとを含む。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板(31)上に酸化膜とポリシリコン膜を蒸着し、パターンニングしてゲート絶縁膜(33)およびゲート(35)を形成するステップと、

N₂O 雰囲気下において1回のアニーリング工程を施してRNO膜(37)を基板全面に形成するステップと、ゲート(35)をマスクとして第2導電型の不純物をイオン注入して低濃度のソース/ドレイン領域(39)を形成するステップと、

基板全面に酸化膜を蒸着し、異方性エッチングしてRNO側壁(41)とスペーサ(43)を形成するステップと、

スペーサ(43)およびゲート(35)をマスクとして第2導電型の不純物をイオン注入して高濃度のソース/ドレイン領域(45)を形成するステップと、を含むことを特徴とするMOSトランジスタの製造方法。

【請求項2】 RTPでRNO膜(37)を形成する場合、850~1100℃の温度範囲で数秒乃至数分の間アニーリング工程を施すことを特徴とする第1項記載のMOSトランジスタの製造方法。

【請求項3】 爐でRNO膜(37)を形成する場合、850~1100℃の温度範囲で数分乃至数十分の間アニーリング工程を施すことを特徴とする第1項記載のMOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSトランジスタの製造方法に関し、特にN₂O 雰囲気において、1回のアニーリング工程を施してゲート側壁にRNO膜を形成することができるLDD MOSトランジスタの製造方法に関する。

【0002】

【従来の技術】 素子の大きさの小型化にしたがってMOSトランジスタのホットキャリア効果は大きい問題となってきた。0.5μ以下(Sub-half micron)のMOSトランジスタのホットキャリア効果を低減させるための一つの方法としてLDD構造のMOSトランジスタが提案された。

【0003】 図1~図4は従来のLDD構造を有するMOSトランジスタの製造工程図である。従来のLDD構造を有するMOSトランジスタの製造方法は、図1に示すように、P型半導体基板11上にゲート酸化膜13を形成するステップと、ゲート酸化膜13上にポリシリコン膜を塗布しフォトリソエッチングしてゲート15を形成するステップと、図2に示すように、短い時間の間ゲート用ポリシリコン膜15を再酸化させて酸化膜17を形成するステップと、ゲート15をマスクとしてn型不純物を基板11にイオン注入して低濃度のソース/ドレイン領域19を形成するステップと、酸化膜を基板全面に蒸

着し異方性エッチングしてゲート15の側壁にスペーサ21を形成するステップと、n型不純物を基板11にイオン注入して高濃度のソース/ドレイン領域23を形成するステップとを含む。

【0004】 従来のLDD構造MOSトランジスタは、ポリシリコン膜をフォトリソエッチングしてゲート15を形成した後、短時間の間再酸化工程を施してゲート15を覆う酸化膜17を形成するが、これは損傷されたゲート酸化膜13を元の状態に回復させて全体的に生産収率を向上させるためである。再酸化工程により形成された酸化膜17はスペーサ21を形成するための酸化膜の異方性エッチング工程時、ゲート15の上方に形成されたものは除去されるが、側面のものはゲート15に側壁の形態として残ることとなる。

【0005】 上記した従来のLDD MOSトランジスタは、ゲート絶縁膜13として用いられ、再酸化膜17がゲート15の側壁で形成された構造である。LDD構造において、ホットキャリアによる損傷を最も多く受ける領域はスペーサ領域である。したがって、図5に示すように、LDD MOSトランジスタのスペーサ領域にホットキャリアによって損傷された領域25が生じることとなる。これにより、素子の信頼性が低下する問題点があった。

【0006】 このように、スペーサ下方にホットキャリアにより損傷された領域25が発生されることを防止するために、酸化膜の代わりにRNO(Reoxidized Nitrided Oxide)膜をゲート側壁として形成する技術が、IEDM 1991, P. 649-652に発表された。

【0007】 図6~図10は従来のホットキャリア効果を防止するためのRNO膜となる側壁を有するLDD MOSトランジスタの製造工程図を示すものである。図6に示すように、p型半導体基板31上に酸化膜とポリシリコン膜を順次蒸着し、パターンニングしてゲート絶縁膜33およびゲート35を形成する。図7に示すように、再酸化工程を施して再酸化された窒素添加酸化膜(RNO)37を形成する。RNO膜は図12に示すように、ゲート35を形成した後、O₂ 雰囲気下でアニーリングして基板全面に酸化膜を成長させ、NH₃ 雰囲気下でアニーリングして前記酸化膜に窒素を添加させ、かつ窒素の添加された酸化膜をO₂ 雰囲気下においてさらにアニーリングする3段階の再酸化工程を施して形成する。このようなRNO膜37は主にSiO₂であり、このSiO₂に約1~10%の窒素が含まれている。

【0008】 上述したような再酸化工程を、RNO膜37を形成した後、図8に示すように、n型不純物をゲート35をマスクとして基板31にイオン注入して低濃度のソース/ドレイン領域39を形成する。図9に示すように、基板全面に酸化膜を蒸着して異方性エッチングすれば、RNO膜となる側壁41とスペーサ43とが形成

される。したがって、スペーサ下方、すなわちSi基板31とSiO₂43との界面にRNO膜41が形成される。最終的に、図11に示すように、スペーサ43とゲート35をマスクとしてn型不純物を基板31にイオン注入して高濃度のソース/ドレイン領域45を形成する。

【0009】上述したような従来のRNO膜となる側壁を有するLDD MOSトランジスタはシリコン基板31とスペーサ43との界面、すなわちSi/SiO₂界面に、RNO膜41が形成されているので、図1～図4の酸化膜となる側壁を有するLDD MOSトランジスタのSi/SiO₂界面とは異なってホットキャリアによる損傷領域47は非常に微細となる。したがって、RNO膜からなる側壁を有するLDD MOSトランジスタは、素子の耐久性を向上して素子の優れた動作特性および長い寿命を得られる利点がある。

【0010】

【発明が解決しようとする課題】しかしながら、従来のRNO膜を形成するための再酸化工程は3段階のアニーリング工程を施さなければならぬので工程が複雑になり、最適な工程条件を得るために各段階の温度、アニーリング時間等を最適化しなければならない問題点があった。特に各段階毎に最適な工程条件が満足されない場合の生成されたRNO膜を有する素子は、図1～図4の熱酸化膜からなる側壁を有する素子より素子の信頼性がさらに悪化される問題点があった。本発明は上述した従来技術の問題点を解消するためのもので、単に1回のアニーリング工程によりRNO膜を形成することにより、従来より工程が単純化されたLDD MOSトランジスタの製造方法を提供することにその目的がある。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明によれば、第1導電型の半導体基板上に酸化膜とポリシリコン膜を蒸着し、パターンニングしてゲート絶縁膜およびゲートを形成するステップと、N₂O 雰囲気下において1回のアニーリング工程を施してRNO膜を基板全面に形成するステップと、ゲートをマスクとして第2導電型の不純物をイオン注入して低濃度のソース/ドレイン領域を形成するステップと、基板全面に酸化膜を蒸着し、異方性エッチングしてRNO側壁とスペーサを形成するステップと、スペーサおよびゲートをマスクとして第2導電型の不純物をイオン注入して高濃度のソース/ドレイン領域を形成するステップとを含むLDD MOSトランジスタの製造方法を提供する。

【0012】

【実施例】以下、本発明の実施例を添付図面に基づいて詳述する。本発明のRNO膜からなる側壁を有するLDD MOSトランジスタの製造工程は図6～図10に示した工程と同様である。しかし、従来の3段階の再酸化工程を施してRNO膜を形成する代わりにN₂O雰囲気

下において1回アニーリング工程を施してRNO膜を基板全面に形成することである。図6に示すように、p型半導体基板31上にゲート酸化膜33とゲート35を形成し、図7に示すように、基板全面にRNO膜を形成する。

【0013】図12の従来の再酸化工程と図13の本発明の再酸化工程との差異点は次の通りである。図12の再酸化工程は、各々O₂、NH₃、O₂、ガス雰囲気下においてアニーリングする工程をそれぞれ行ってRNO膜を形成する。すなわち3段階の工程を経てRNO膜を形成することとなる。

【0014】しかし、図13の本発明の再酸化工程は、N₂O 雰囲気下においてアニーリング工程を行う1段階工程を経てRNO膜を形成する。この時、RTP (Rapid Thermal Process) でRNO膜37を形成する場合には850～1100℃の温度範囲で数秒乃至数分の間アニーリング工程を施す。一方、爐で行う場合には850～1100℃の温度範囲で数分乃至数十分の間施す。RNO膜37を形成した後図8に示すように、低濃度のソース/ドレイン領域39を形成し、図9に示すように、酸化膜を基板全面に蒸着し異方性エッチングしてRNO側壁41とスペーサ43を各々形成する。最終的に、図10に示すように、高濃度のソース/ドレイン領域45を形成してLDD MOSトランジスタを得る。

【0015】

【発明の効果】前述したように従来の再酸化工程が各々異なるガス雰囲気下で、3段階を施して最適な工程条件を満足することが難しいということに比べて、本発明の再酸化工程によれば、1回の段階で行うので最適な工程条件を満足させることに有利であり、工程が単純化される利点がある。

【図面の簡単な説明】

【図1】従来の酸化膜からなるゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図2】従来の酸化膜からなるゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図3】従来の酸化膜からなるゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図4】従来の酸化膜からなるゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図5】図1～図4のLDD MOSトランジスタにおけるホットキャリアの影響を示す図である。

【図6】従来のRNO膜ゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図7】従来のRNO膜ゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図8】従来のRNO膜ゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図9】従来のRNO膜ゲート側壁を有するLDD M

OSトランジスタの製造工程図である。

【図10】従来のRNO膜ゲート側壁を有するLDD MOSトランジスタの製造工程図である。

【図11】図6～図10のLDD MOSトランジスタにおけるホットキャリアの影響を示す図である。

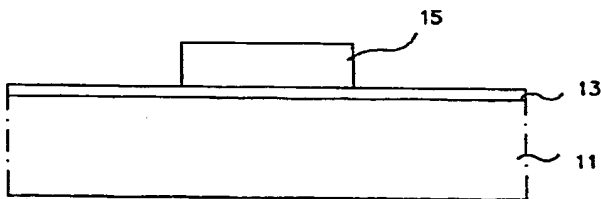
【図12】図6～図10の従来のLDD MOSトランジスタの製造工程におけるRNO膜を形成する製造工程図である。

【図13】本発明のLDD MOSトランジスタの製造工程におけるRNO膜を形成する製造工程図である。

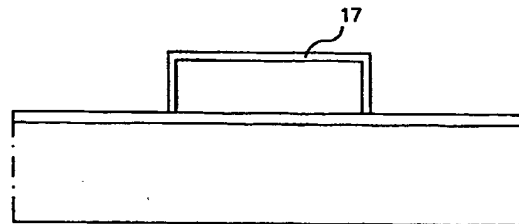
【符号の説明】

- 31 半導体基板
- 33 ゲート酸化膜
- 35 ゲート
- 37 RNO膜
- 39 低濃度のソース/ドレイン領域
- 41 RNO側壁
- 43 スペース
- 45 高濃度のソース/ドレイン領域

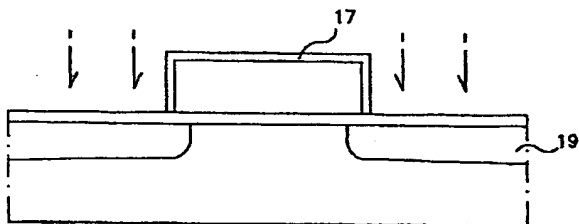
【図1】



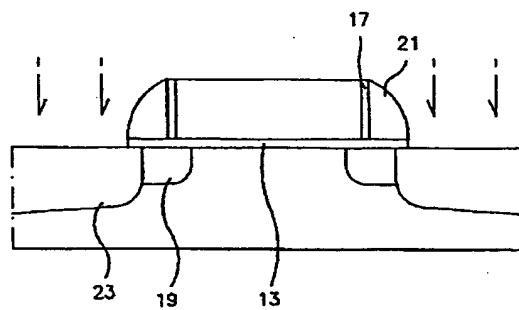
【図2】



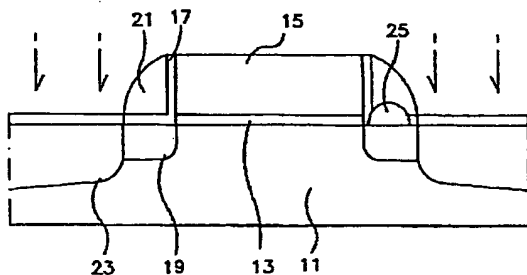
【図3】



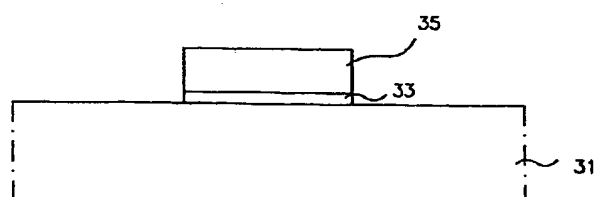
【図4】



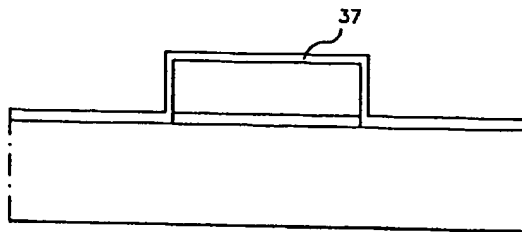
【図5】



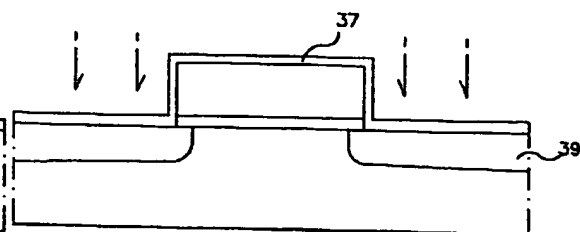
【図6】



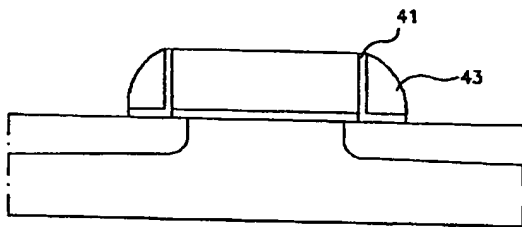
【図7】



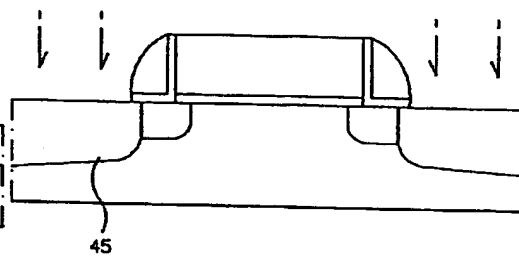
【図8】



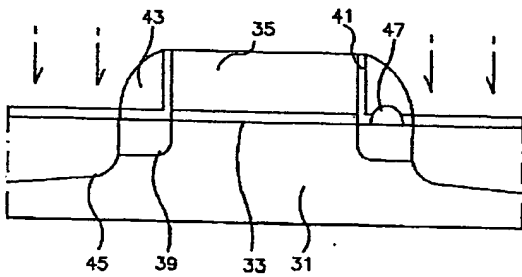
【図9】



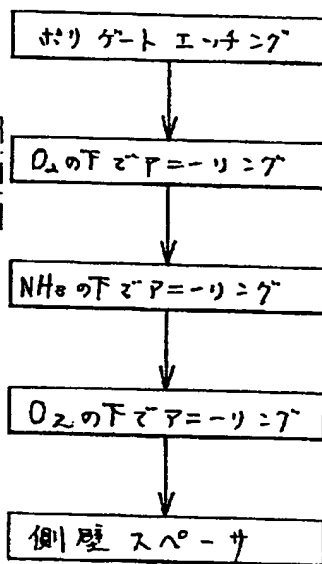
【図10】



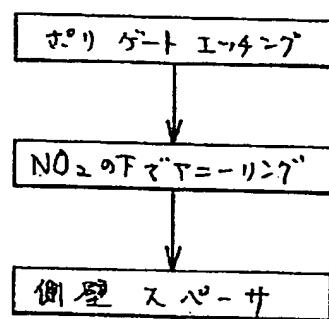
【図11】



【図12】



【図13】



THIS PAGE BLANK (USPTO)